

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-288977

(43)公開日 平成11年(1999)10月19日

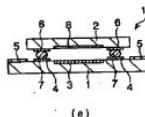
(51)Int.Cl. ⁶ H 01 L 21/60	識別記号 3 1 1	F I H 01 L 21/60	3 1 1 S 3 1 1 R 3 0 1 A
	3 0 1	23/12	L
23/12		23/52	C
23/52		審査請求 未請求 請求項の数19 FD (全 10 頁) 最終頁に続く	
(21)出願番号 特願平10-104132	(71)出願人 新日本製鐵株式会社 東京都千代田区大手町2丁目6番3号	(71)出願人 000006855	
(22)出願日 平成10年(1998)3月31日	(71)出願人 000128049	日本ファウンドリー株式会社 千葉県船橋市山本1580番地	
	(71)出願人 398006778	ユナイテッド メモリズ、インコーポレイ テッド アメリカ合衆国、コロラド州80918、コロ ラドスプリングス、ストート 109, 4815 リスト ドライブ	
	(74)代理人 弁理士 国分 孝悦	(74)代理人 弁理士 国分 孝悦	
			最終頁に続く

(54)【発明の名称】複数チップ混載型半導体装置

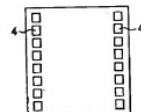
(57)【要約】

【課題】複数の異なる機能を有するLSIを、プロセス開発や設計環境整備等の費用や時間を費やすことなく、しかも平面的に配置する場合よりも小型化及び配線長の短縮化が実現するようにパッケージ化する。

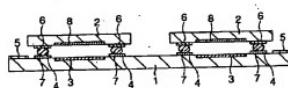
【解決手段】相異なる機能の集積回路が搭載された半導体チップ1(ロジックLSI)と半導体チップ2(DRAM等のメモリLSI)とが、アルミニウム合金からなる接続電極4と接続電極6が対向するように金属バンプ、ここでは金合金からなる金属ポール7を介して当該金属ポール7により接続されて積層チップ11が構成される。



(a)



(b)



(c)

BEST AVAILABLE COPY

〔特許請求の範囲〕

〔請求項1〕 第1の集積回路及び第1の接続電極を備えた第1の半導体チップと、

各々が同一又は異なる第2の集積回路及び第2の接続電極を備えた少なくとも1つの第2の半導体チップとを備え、

前記第1の半導体チップの第1の接続電極と前記第2の半導体チップの第2の接続電極間に金属バンプを配置し前記第1の半導体チップと前記第2の半導体チップとを接続するとともに、

前記第1の接続電極と前記金属バンプ間又は前記第2の接続電極と前記金属バンプ間の少なくとも一方が、前記第1又は第2の接続電極と前記金属バンプの表面材料との親和性を改善する材料で形成された層を介して接続されていることを特徴とする複数チップ混載型半導体装置。

〔請求項2〕 前記第1の接続電極と前記第2の接続電極の少なくとも一方の表面が前記金属バンプの表面材料と親和性の高い材料で形成されていることを特徴とする請求項1に記載の複数チップ混載型半導体装置。

〔請求項3〕 前記第1の半導体チップは、外部の端子と接続するための外部接続電極を有していることを特徴とする請求項1又は2に記載の複数チップ混載型半導体装置。

〔請求項4〕 プリント基板、テープ基板、セラミクス基板及びリードフレームから選ばれた1種の固定手段上に前記第1の半導体チップの裏面が固定され、前記第1の半導体チップの前記外部接続電極と前記固定手段とがボンディングワイヤにより接続されていることを特徴とする請求項3に記載の複数チップ混載型半導体装置。

〔請求項5〕 前記第1の半導体チップの前記外部接続電極上に他の金属バンプが設けられていることを特徴とする請求項3に記載の複数チップ混載型半導体装置。

〔請求項6〕 前記第1の半導体チップと前記第2の半導体チップとの間の隙間が、絶縁樹脂、絶縁テープ、絶縁性粒子が混入された樹脂及び絶縁性粒子が混入されたテープから選ばれた1種により埋め込まれていることを特徴とする請求項1～5のいずれか1項に記載の複数チップ混載型半導体装置。

〔請求項7〕 前記第1の半導体チップ及び前記第2の半導体チップの一部又は全部がモールド絶縁樹脂で覆われていることを特徴とする請求項1～6のいずれか1項に記載の複数チップ混載型半導体装置。

〔請求項8〕 前記第1の半導体チップ及び前記第2の半導体チップの一部又は全部がモールド絶縁樹脂で覆われておる。

前記第1の半導体チップの前記外部接続電極上に設けられた前記他の金属バンプの一部が、前記モールド絶縁樹脂の表面から露出していることを特徴とする請求項5又は6に記載の複数チップ混載型半導体装置。

〔請求項9〕 前記金属バンプ及び/又は前記他の金属バンプは、その融点が300°C以上の金属又は合金からなり、前記第1及び第2の接続電極の少なくとも一方は前記外部接続電極と熱圧着接合されていることを特徴とする請求項1～8のいずれか1項に記載の複数チップ混載型半導体装置。

〔請求項10〕 前記金属バンプ及び/又は前記他の金属バンプは、金、金合金、銅、銅合金、錫及び錫合金から選ばれた1種からなるスタッダーバンプであることを特徴とする請求項1～8のいずれか1項に記載の複数チップ混載型半導体装置。

〔請求項11〕 前記金属バンプ及び/又は前記他の金属バンプは、直径0.8mm以下の金属ボールを前記第1及び第2の接続電極及び/又は前記外部接続電極に接合することで形成されるものであることを特徴とする請求項1～10のいずれか1項に記載の複数チップ混載型半導体装置。

〔請求項12〕 前記金属バンプ及び/又は前記他の金属バンプは、直徑20μm～250μmの金属ボールであることを特徴とする請求項1～10のいずれか1項に記載の複数チップ混載型半導体装置。

〔請求項13〕 前記第1及び第2の接続電極及び/又は前記外部接続電極は、その表面に少なくとも1層の金属膜が形成されており、前記金属膜を介して前記金属バンプと接続されていることを特徴とする請求項1～12のいずれか1項に記載の複数チップ混載型半導体装置。

〔請求項14〕 前記第1の半導体チップがロジックチップであり、前記第2の半導体チップがメモリチップであることを特徴とする請求項1～13のいずれか1項に記載の複数チップ混載型半導体装置。

〔請求項15〕 前記第1及び第2の半導体チップが各々異なる機能のメモリチップであることを特徴とする請求項1～13のいずれか1項に記載の複数チップ混載型半導体装置。

〔請求項16〕 前記第1及び第2の半導体チップがインナーリードにより支持されてリードフレーム又はTABテープに固定されており、前記インナーリードが前記第1及び第2の半導体チップを接続する前記各金属バンプにより保持され接続されていることを特徴とする請求項1～15のいずれか1項に記載の半導体装置。

〔請求項17〕 各々が第3の集積回路及び第3の接続電極を備えた少なくとも1つの第3の半導体チップを更に備え、

前記第2の半導体チップと前記第3の半導体チップとが裏面同士で接着固定されていることを特徴とする請求項1～4、9～16のいずれか1項に記載の半導体装置。

〔請求項18〕 第1の集積回路及び第1の接続電極を備えた第1の半導体チップと、

各々が同一又は異なる第2の集積回路及び第2の接続電

3

機能を備えた少なくとも1つの第2の半導体チップとを備え、

前記第1の半導体チップと前記第2の半導体チップとが、各々の前記第1及び第2の接続電極で当該第1及び第2の接続電極の材料と親和性のある少なくとも1種類の金属パンプを介して対向し、当該金属パンプにより接続されていることを特徴とする複数チップ混載型半導体装置。

【請求項19】 第1の集積回路及び第1の接続電極を備えた第1の半導体チップと、

各々が同一又は異なる第2の集積回路及び第2の接続電極を備えた少なくとも1つの第2の半導体チップとを備え、

前記第1の半導体チップと前記第2の半導体チップとが、各々の前記第1及び第2の接続電極で当該第1及び第2の接続電極の材料と親和性のある少なくとも1種類の金属導電体を介して対向し、当該金属導電体により接続されていることを特徴とする複数チップ混載型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の半導体チップが混載されてパッケージングされてなる複数チップ混載型半導体装置に関する。

【0002】

【従来の技術】 近年、大規模集積回路（LSI）の応用範囲が急速に拡大化し、且つ各応用製品に搭載されるLSIの数量も急速に拡大化している。通常、LSIは、各応用製品の内部に組み込まれている基板（或いはボーフ）に搭載されており、同一基板上に複数個のLSIが使用され、且つ当該基板上の配線によって電気的に接続されている。

【0003】 ところが、LSIの高集積化が進み、基板上に搭載されるLSIの数量が多くなるにつれて、LSI自身の小型化を促進しても、結局基板全体としての面積は増大化し、また配線長も増大化することになる。

【0004】 そこで、多数のLSIを搭載した基板の総面積を縮小し、且つ複数のLSIのLSI間の配線長を短縮する技術として注目されているものに、いわゆるエンベッデド化技術がある。このエンベッデド化技術とは、異なる機能を有する複数のLSIを同一チップ内に作り込む技術である。例えば、ダイナミック・ランダム・アクセスマモリ（DRAM）とロジックLSI等のDRAM以外のLSIとを同一プロセスで同一基板上に作り込み、1チップ化したものはエンベッデドDRAMと称されており、また、マイクロコンピュータ、DRAM、リード・オンリー・メモリ（ROM）等を組み込み、1チップでシステムとして機能するように作り込まれたLSIはシステムLSIと称される。

【0005】 しかしながら、エンベッデド化技術を実現

するには、通常は異なるウェハプロセスで製造される異種機能部分を同一のプロセスで製造する必要があり、そのためのプロセスを合わせ混み、或いは新たなエンベッデド化専用のプロセス開発が必要となる。新規にプロセスを開発する場合には、更に、当該新規プロセスを基礎としたライブラリーの構築など、設計関連の環境整備も必要となる。従って、エンベッデド化技術を新規に立ち上げる場合、新規プロセス開発や設計環境整備のための費用と時間が必要となり、製造コストの増加や市場投入の遅れといった問題が生じる。

【0006】 複数LSIを搭載した基板の総面積を縮小し、且つ複数LSI間の配線長を短縮する技術として、エンベッデド化技術が案出される以前から、マルチ・チップ・モジュール（MCM）技術が広く実用化されてきた。このMCM技術は、複数個のペアチップが一つの基板上に搭載され、その基板毎にパッケージ化されたものである。

【0007】 MCM技術においては、用いられるLSIはそれぞれ別々に製造することが可能であるため、エンベッデド化技術とは異なり、プロセスの合わせ混みや新たなプロセス開発を行う必要がなく、従って、それに伴うコストの増加や市場投入の遅れといった問題は生じない。

【0008】 しかしながら、このMCM技術では、複数個のペアチップが平面化配置されているため、総面積の増加要因となる。この場合、各チップ毎にパッケージングするよりは有利である反面、エンベッデド化技術に比して小型化効果は減少することになる。

【0009】 なお、リードフレームに搭載された複数の半導体チップについて、インダクタンスを低減させることを目的とした発明の一例が、特開平6-120415号公報に開示されている。

【0010】

【発明が解決しようとする課題】 上述のように、エンベッデド化技術及びMCM技術には、それぞれ一長一短があり、両者の利点のみを有する半導体装置、即ち複数LSIの総面積の縮小化や複数LSIの配線長の短縮化を実現するとともに、プロセスの合わせ混み、プロセス開発に伴うコストの増加や市場投入の遅れ等の問題を生ぜしめることのない半導体装置の開発が待たれている現状にある。

【0011】 そこで本発明は、このような問題を解決するために成されたものであり、複数の異なる機能を有するLSIを、プロセス開発や設計環境整備等の費用や時間を費やすことなく、しかも平面的に配置する場合よりも小型化及び配線長の短縮化が実現するように1パッケージ化することを可能とする複数チップ混載型半導体装置を提供することを目的とする。

【0012】

【課題を解決するための手段】 本発明の複数チップ混載

型半導体装置は、第1の集積回路及び第1の接続電極を備えた第1の半導体チップと、各々が第2の集積回路及び第2の接続電極を備えた少なくとも1つの第2の半導体チップとを備え、前記第1の半導体チップの第1の接続電極と前記第2の半導体チップの第2の接続電極間に金属バンプを配置して前記第1の半導体チップと前記第2の半導体チップとを接続するとともに、前記第1の接続電極と前記金属バンプ又は前記第2の接続電極と前記金属バンプ間の少なくとも一方が、前記第1又は第2の接続電極と前記金属バンプの表面材料との親和性を改善する材料で形成された層を介して接続されている。

【0013】本発明の一態様例においては、前記第1の接続電極と前記第2の接続電極の少なくとも一方の表面が前記金属バンプの表面材料と親和性の高い材料で形成されている。

【0014】本発明の一態様例においては、前記第1の半導体チップは、外部の端子と接続するための外部接続電極を有している。

【0015】本発明の一態様例においては、プリント基板、テープ基板、セラミクス基板及びリードフレームから選ばれた1種の固定手段上に前記第1の半導体チップの裏面が固定され、前記第1の半導体チップの前記外部接続電極と前記固定手段とがボンディングワイヤにより接続されている。

【0016】本発明の一態様例においては、前記第1の半導体チップの前記外部接続電極上に他の金属バンプが設けられている。

【0017】本発明の一態様例においては、前記第1の半導体チップと前記第2の半導体チップとの間の隙間が、絶縁樹脂、絶縁テープ、絶縁性粒子が混入された樹脂及び絶縁性粒子が混入されたテープから選ばれた1種により埋め込まれている。

【0018】本発明の一態様例においては、前記第1の半導体チップ及び前記第2の半導体チップの一部又は全部がモールド絶縁樹脂で覆われている。

【0019】本発明の一態様例においては、前記第1の半導体チップ及び前記第2の半導体チップの一部又は全部がモールド絶縁樹脂で覆われおり、前記第1の半導体チップの前記外部接続電極上に設けられた前記他の金属バンプの一部が、前記モールド絶縁樹脂の表面から露出している。

【0020】本発明の一態様例においては、前記金属バンプ及び／又は前記他の金属バンプは、その融点が300°C以上の金属又は合金からなり、前記第1及び第2の接続電極の少なくとも一方は前記外部接続電極と熱圧着接合されている。

【0021】本発明の一態様例においては、前記金属バンプ及び／又は前記他の金属バンプは、金、金合金、銅、銅合金、錫及び錫合金から選ばれた1種からなるスレッドバンプである。

【0022】本発明の一態様例においては、前記金属バンプ及び／又は前記他の金属バンプは、直径0.8mm以下の金属ボールを前記第1及び第2の接続電極及び／又は前記外部接続電極に接合することで形成される。

【0023】本発明の一態様例においては、前記金属バンプ及び／又は前記他の金属バンプは、直径2.0μm～25.0μmの金属ボールである。

【0024】本発明の一態様例においては、前記第1及び第2の接続電極及び／又は前記外部接続電極は、その表面に少なくとも1層の金属膜が形成されており、前記金属膜を介して前記金属バンプと接続されている。

【0025】本発明の一態様例においては、前記第1の半導体チップがロジックチップであり、前記第2の半導体チップがメモリチップである。

【0026】本発明の一態様例においては、前記第1及び第2の半導体チップが各々異なる構成及び機能のメモリチップである。

【0027】本発明の一態様例においては、前記第1及び第2の半導体チップがインナーリードにより支持されリードフレーム又はTABテープに固定されており、前記インナーリードが前記第1及び第2の半導体チップを接続する前記各金属バンプに扶持され接続されている。

【0028】本発明の一態様例は、各々が第3の集積回路及び第3の接続電極を備えた少なくとも1つの第3の半導体チップを更に備え、前記第2の半導体チップと前記第3の半導体チップとが裏面同士で接着固定されている。

【0029】本発明の複数チップ混載型半導体装置は、第1の集積回路及び第1の接続電極を備えた第1の半導体チップと、各々が第2の集積回路及び第2の接続電極を備えた少なくとも1つの第2の半導体チップとを備え、前記第1の半導体チップと前記第2の半導体チップとが、各々の前記第1及び第2の接続電極で当該第1及び第2の接続電極の材料と親和性のある少なくとも1種類の金属バンプを介して対向し、当該金属バンプにより接続されている。

【0030】本発明の複数チップ混載型半導体装置は、第1の集積回路及び第1の接続電極を備えた第1の半導体チップと、各々が第2の集積回路及び第2の接続電極を備えた少なくとも1つの第2の半導体チップとを備え、前記第1の半導体チップと前記第2の半導体チップとが、各々の前記第1及び第2の接続電極で当該第1及び第2の接続電極の材料と親和性のある少なくとも1種類の金属導電体を介して対向し、当該金属導電体により接続されている。

【0031】

【作用】本発明の複数チップ混載型半導体装置は、それぞれ独立の集積回路が形成されてなる第1及び少なくとも1つの第2の半導体チップを備えており（ここで、各

第2の半導体チップの構成回路は同一の場合もあれば異なる場合もある。）、第1の半導体チップ上に少なくとも1つの第2の半導体チップが積層されて構成されている。従って、複数のチップを例えば基板上に平面的に配置する場合に比べて、占有する平面積が格段に縮小される。ここで、第1及び第2の半導体チップは、各々の表面の所定位置に設けられた接続電極同士を対向させるように位置付けられて金属バンプによって接続される。このとき、第1の接続電極と金属バンプ間又は第2の接続電極と金属バンプ間の少なくとも一方が、接続電極と金属バンプの表面材料との親和性を改善する材料で形成された層を介して接続される。

【0032】この層は、例えば、接続電極の表面に金属バンプの表面材料と親和性の高い金属を蒸着等することにより皮膜を形成する等の手法で実現できる。また、金属バンプに接続電極の表面材料と親和性の高い金属を選択することや、金属バンプの表面に接続電極の表面材料と親和性の高い金属を蒸着等することにより皮膜を形成することによっても同様の効果を得ることができる。

【0033】このように、接続電極と金属バンプの材料選択が行われるので、第1及び第2の半導体チップを金属バンプで接続する場合に接続が簡易且つ確実に行われ、諸々の機能を持つ各半導体チップの1チップ化が可能となるとともに、更なる小型化が容易に実現する。

【0034】

【発明の実施の形態】以下、本発明を適用していくつかの好適な実施形態を図面を用いて詳細に説明する。

【0035】（第1の実施形態）先ず、第1の実施形態について説明する。図1は、第1の実施形態の半導体装置の主要部分を示す断面図である。この半導体装置は、図1（a）に示すように、半導体チップ1と半導体チップ2とが互いに表面を対向させ積層チップ1とされてなるものである。

【0036】半導体チップ1は、サイズが9mm×9mmであり、その表面にロジック回路3が形成されてなるロジックLSI1であり、半導体チップ2と接続するための接続電極4を備えている。当該接続電極4は、半導体チップ1の対向する2辺に沿って各々所定間隔をもって並列している。更に、半導体チップ1の表面には、接続電極4の外方に外部と接続するための外部接続電極5が形成されている。これら接続電極4及び外部接続電極5は、共にアルミニウム合金を材料として形成されている。

【0037】半導体チップ2は、サイズが9mm×9mmであり、その表面にメモリ回路8が形成されてなるメモリLSI1、例えばDRAMであり、半導体チップ1と接続するための接続電極6を半導体チップ1の接続電極4に対応する位置に備えている。接続電極6も、接続電極4と同様に、アルミニウム合金を材料として形成されている。複数の接続電極6が形成されている様子を図1

(b)に示す。なお、半導体チップ1、2の表面の電極4、5、6を除く部位には、絶縁性のバッシャーベーション膜(不図示)が形成されている。

【0038】そして、半導体チップ1と半導体チップ2とが、接続電極4と接続電極6が対向するように金属バンプ、ここでは金属ポール7を介して当該金属ポール7により接続されて積層チップ1が構成されている。この金属ポール7は、直徑約8.0μmで材料が純度95%の金合金からなるものである。金(合金)は、アルミニウム(合金)との親和性に優れていることが知られており、良好な接合が得られる。

【0039】ここで、接続電極4、6と金属ポール7との接合は熱圧着により行われる。この場合、先ず金属ポール7を半導体チップ1の接続電極4に接合させた後、半導体チップ1、2の位置合わせをして金属ポール7を接続電極6と接合する。半導体チップ1への接合時には、予め接続電極4の位置に対応した部位に穴を開けた吸着配列板の裏側を真空減圧して、金属ポール7をその穴に吸着保持し、半導体チップ1に位置合わせをした後に一括接合する。このとき、接合温度を300°Cとし、半導体チップ1の接続電極4に金属ポール7を接合するときの圧力を金属ポール7の1個あたり10gとし、半導体チップ2の接続電極6に接合する際には1個あたり4.0gとする。ここで、金属ポール7を最初に接続電極4に接合するとしたが、逆に最初に半導体チップ2の接続電極6に接合するようにしてもよい。

【0040】半導体チップ1、2を接合した際に、両者の間に例えれば4.0μm程度の隙間が生じる。この隙間を、絶縁樹脂、絶縁テープ、絶縁性粒子が混入された樹脂及び絶縁性粒子が混入されたテープから選ばれた1種により埋め込むようにしてよい。

【0041】ここで、製造された積層チップ1について、半導体チップ1の外部接続電極5に所定のプローブを接続して、接続電極6の隣接する1組毎の接続の優良性を電気的に検査したところ、いずれの電極についても接続不良は観察されず、極めて良好な接続状態であることが分かった。

【0042】なお、アルミニウム合金を接続電極の材料として用いて、それと親和性に優れた金合金を金属ポールの材料に用いたが、この組み合わせに限定されることはない。例えば、接続電極の材料がアルミニウム(合金)である場合には、金属ポールの材料は金(合金)の他に銅(合金)やパラジウム(合金)、白金(合金)、アルミニウム(合金)が好適である。また、接続電極の材料を銅(合金)としても良く、この場合には金属ポールの材料は金(合金)や銅(合金)、アルミニウム(合金)、パラジウム(合金)、白金(合金)、半田(錫合金)、鉛合金、インジウム合金等)が好適である。更に、接続電極の材料を金(合金)としても良く、この場合には金属ポールの材料は金(合金)や銅(合金)、アルミニウム(合金)、パラジウム(合金)、白金(合金)、半田(錫合金)、鉛合金、インジウム合金等)が好適である。

この場合に、接続電極の材料を金(合金)としても良く、この場合には金属ポールの材料は金(合金)や銅(合金)、アルミニウム(合金)、パラジウム(合金)、白金(合金)、半田(錫合金)、鉛合金、インジウム合金等)が好適である。

ニウム(合金)、白金(合金)、半田(錫合金、鉛合金、インジウム合金等)が好適である。更に、接続電極の材料をパラジウム(合金)としても良く、この場合には金属ボールの材料は金(合金)や銅(合金)、アルミニウム(合金)、パラジウム(合金)、白金(合金)、半田(錫合金、鉛合金、インジウム合金等)が好適である。更に、接続電極の材料をニッケル(合金)としても良く、この場合には金属ボールの材料は金(合金)や銅(合金)、アルミニウム(合金)、パラジウム(合金)、白金(合金)、半田(錫合金、鉛合金、インジウム合金等)が好適である。更に、接続電極の材料を半田(錫合金、鉛合金、インジウム合金等)としても良く、この場合には金属ボールの材料は金(合金)や銅(合金)、アルミニウム(合金)、パラジウム(合金)、白金(合金)、半田(錫合金、鉛合金、インジウム合金等)、ニッケル(合金)が好適である。

【0043】上記のような組み合わせを選択することで、接続電極間に信頼性の高い接合が可能となる。接続電極の材料については、各々異なるものを選択しても良い。また、例えばアルミニウム(合金)と半田とは漏れ性に劣るので、半田と漏れ性の良いパラジウム合金を物理的蒸着法等により接続電極の表面に被着させて、漏れ性向上のための下地膜を形成さればよい。

【0044】更に、接続電極と金属ボールとの接合が困難であったり、或いは更に接合性を向上させたい場合には、異方性導電膜や導電ペースト等を介して両者を接続することも可能である。

【0045】更に、金属ボールの表面のみに接続電極との組み合わせで最適な金属を被着させることで、接続電極との接合性を更に向上させることも可能である。

【0046】また、半導体チップ1、2に搭載する集積回路の組み合わせとしては、上記の場合に限定されることはなく、例えば相異なるメモリLSIとしてもよい。メモリLSIとしては、DRAMの他、SRAMやフラッシュメモリ等がある。SRAMとDRAMを組み合わせた場合、例えばメモリを必要とするデータ処理用LSIと併用することが考えられる。この場合、使用頻度が高く、頻繁に記憶内容を変更しながら高速で処理するデータについてはSRAMを使用し、高速性よりは大容量の記憶保持が必要なデータについてはDRAMに記憶しておくことが可能となる。

【0047】また、SRAMとフラッシュメモリを組み合わせた場合、例えばあるプログラムに従って信号を高速処理する信号処理用LSIと併用することが考えられる。この場合、プログラムをフラッシュメモリに格納しておくと、電源を切つてもプログラムは消去されないため、同じプログラム処理が可能となる。そして、その間の処理中の信号の一時的な記憶にはSRAMを使用すればよい。

【0048】更に、図1では、半導体チップ1、2に設

ける集積回路、ここではロジック回路3やメモリ回路8を接続電極4、5の直下を除く部位に形成した例を示したが、これは金合金からなる金属ボール7を用いるためであって、例えば半田からなる金属ボールを用いれば、熟圧着が不要となるため、接続電極4、5の直下にも集積回路を形成することが可能となる。

【0049】また、本実施形態で半導体チップ1に搭載する半導体チップ2は1つに限定されるものではなく、図1(c)に示すように、サイズの大きな半導体チップ1上に2つの半導体チップ2(相異なる集積回路が形成されたものでもよい)を搭載してもよい。

【0050】そして、図2に示すように、積層チップ1を基板12に搭載する。基板12の表面にはボンディングパッド13が設けられている。この基板12としてセラミクス基板、絶縁テープ基板、リードフレーム等が考えられる。この場合、半導体チップ1の裏面に基板12の表面に接着剤等により固定し、半導体チップ1の外部接続電極5とボンディングパッド13とを金ワイヤ14を用いてワイヤボンディング法により接続する。そして、図3に示すように、エポキシ系の絶縁樹脂15により複合チップ1の全面及び基板12の一部を残した全面をモールドすることにより、本実施形態の半導体装置となる。ここで、モールド用の絶縁樹脂15中のS_iO_x粒子であるフィラーは、径の小さい20μm以下のものを使用して、半導体チップ1間の隙間(上記の如く40μm程度)となる。なお、この場合には当該隙間に絶縁テープ等を埋め込む必要はない。)に十分に充填されることが確認された。

【0051】以上説明したように、第1の実施形態の半導体装置は、それぞれ独立の集積回路が形成されてなる半導体チップ1、2を備えており、半導体チップ1上に半導体チップ2が積層されて構成されている。従って、複数のチップを例えば基板上に平面的に配置する場合に比べて、占有する平面積が格段に縮小される。ここで、各半導体チップ1、2は、各々の表面の所定位置に設けられた接続電極4、6同士を対向させるように、当該接続電極と親和性のある金属パット、例えば金属ボール7を介してこれにより両者が接続されている。従って、各半導体チップ1、2間の配線長は殆ど無視し得るほど短く、諸々の機能を持つ各半導体チップの1チップ化が可能となるとともに、更なる小型化が容易に実現する。

【0052】従って、第1の実施形態の半導体装置によれば、複数の異なる機能を有するLSIを、プロセス開発や設計環境整備等の費用や時間を費やすことなく、しかも平面的に配置する場合よりも小型化及び配線長の短縮化が実現するよう1パッケージ化することが可能となる。

【0053】以下、第1の実施形態の半導体装置のいくつかの変形例について説明する。なお、第1の実施形態の半導体装置に対応する構成部材等については同符号を

記して説明を省略する。

【0054】-変形例1-

先ず、変形例1の半導体装置について説明する。この半導体装置は、第1の実施形態と同様に複合チップ11が構成されるが、複合チップ11の樹脂封止法等が異なる。この半導体装置においては、図4(a)に示すように、複合チップ11の半導体チップ1、2の寸法が第1の実施形態のそれと若干異なり、半導体チップ1が12mm×12mm、半導体チップ2が5mm×5mmのサイズとされている。

【0055】半導体チップ1に形成された接続電極4及び外部接続電極5は、第1の実施形態のそれと同様にそれぞれアルミニウム合金からなるが、各々の接続電極4、5はチップ表面から外側に向かって順にクロム(Cr)、Cu(銅)、Au(金)の順に滲れ性向上のための下地膜(不図示)が形成されている。そして、接続電極4のAu面と金合金からなる金属ポール7が接合されるとともに、他方で半導体チップ2のアルミニウム合金からなる接続電極6と当該金属ポール7が接合されてい る。

【0056】更に、外部接続電極5には、金属ポール7より大きな直径の半田からなる金属ポール16が接合されている。ここで、金属ポール7の直径6.0μmであり、金属ポール16が直径50.0μmとされている。金属ポール7については上述のように熱圧着により接続電極4、6と接合し、金属ポール16については先ずフラックスの粘着力を利用して外部接続電極5上に固定した後、半導体チップ1を半田の触点である183°C以上に加熱し、金属ポール16を外部接続電極5にリフローにより接合する。

【0057】そして、半導体チップ1、2間を充填するとともに、図4(a)のように、金属ポール16の先端部位が露出するようにエポキシ系の絶縁樹脂15で覆う。ここで、絶縁樹脂15の表面から露出する金属ポール16が外部接続用のバンプとして機能することになる。また、半導体チップ2の裏面を露出させることにより、放熱性を向上させることができる。

【0058】なお、この変形例1では、半導体チップ1の代わりに集積回路の形成されていない基板を用いる場合にも適用可能である。また、各金属ポールの材料についても、第1の実施形態で述べたような諸々の材料を用いてよい。

【0059】この変形例1の半導体装置によれば、既述した第1の実施形態の半導体装置の奏する作用・効果に加えて、絶縁樹脂15で封止された複合チップ11を例えば外部の基板と接続する場合に、露出した金属ポール16で接続できるため、更なる配線の短縮化、ひいては装置全体の小型化に大幅に寄与することが可能となる。

【0060】また、図4(b)に示すように、外部接続

電極5を半導体チップ1に形成されたヴィア孔を介して当該半導体チップ1の裏面に形成し、この外部接続電極5に金属ポール16を接合するようにしてもよい。

【0061】-変形例2-

次に、変形例2の半導体装置について説明する。この半導体装置は、第1の実施形態と同様に複合チップ11が構成されるが、複合チップ11を搭載する基板が異なる。この半導体装置は、図5に示すように、リード・オブ・チップ(LOC)方式又はTABテープで形成されるるものであり、半導体チップ1の外部接続電極5とリードフレーム又はTABテープのインナーリード18が例えば半田を材料とするスタッズパンプ19により接合されている。ここで、インナーリード18はボリュミド等からなる絶縁テーブ17により固定されて位置規制がなされている。

【0062】なお、図6に示すように、スタッズパンプ19の代わりに、金属ポール20を用いて接合を行うようとしても好適である。

【0063】この変形例2の半導体装置によれば、既述した第1の実施形態の半導体装置の奏する作用・効果に加えて、LOC構造とすることにより、比較的小さなパッケージに大型化した半導体チップを収納して高密度の実装を図ることが可能となる。

【0064】-変形例3-

次に、変形例3の半導体装置について説明する。この半導体装置は、第1の実施形態と同様に複合チップ11が構成されるが、更に異なる半導体チップが搭載される点で異なる。この半導体装置は、図7に示すように、半導体チップ1、2が接合されてなる複合チップ11において、半導体チップ2上に互いに裏面同士で固定されるよう半導体チップ31が設けられている。

【0065】半導体チップ31は、半導体チップ1、2と同様に、その表面にロジック回路又はメモリ回路である集積回路21が形成されてなるLSIであり、外部と接続するためのアルミニウム合金を材料としたボンディングパッド22が形成されている。また、半導体チップ1の表面には、半導体チップ31の外部接続電極22と接続するためのボンディングパッド23が設けられている。

【0066】そして、半導体チップ31と半導体チップ2とが裏面同士で所定のダイペーストにより接着固定されており、半導体チップ31のボンディングパッド22と半導体チップ1のボンディングパッド23とが金ワイヤ14を用いたワイヤボンディング法により接続されている。

【0067】なお、半導体チップ1の代わりに集積回路の形成されていない基板を用いる場合にも適用可能である。また、金属ポールの材料についても、第1の実施形態で述べたような諸々の材料を用いてよい。

【0068】この変形例3の半導体装置によれば、既述

した第1の実施形態の半導体装置の構成する作用・効果に加えて、複合チップ1上に半導体チップ3を更に積層しても、小型化を損なうことなく高集積化を図ることが可能となる。

【0069】(第2の実施形態)次に、本発明の第2の実施形態について説明する。この第2の実施形態の半導体装置は、第1の実施形態のそれとほぼ同様の複合チップ1を有するが、半導体チップ1、2の接合が若干異なる。なお、第1の実施形態と同一の構成部材等については同符号を記して説明を省略する。図8は、第2の実施形態の半導体装置の主要部分を示す断面図である。なお、半導体チップ1のサイズは第1の実施形態と同様で10mm×10mmであり、半導体チップ2のサイズは7mm×7mmである。

【0070】半導体チップ2のアルミニウム合金からなる接続電極6上には、直径約6μmの金合金からなる金属ポール7が接合されている。半導体チップ1のアルミニウム合金からなる接続電極4の表面には、チタン(Ti)合金、パラジウム(Pd)の層に表面処理が施されており、最表層のパラジウム上に直徑約6μmの半田からなる金属ポール3が溶融接合されている。そして、金属ポール7と金属ポール3とが位置合わせされ、250°C以上の温度で加熱しながら金属ポール7、3とが接合される。

【0071】なお、接合する2種の金属ポールの材料については、金合金と半田に限定されるものではなく、親和性に優れた組み合わせであれば、例えば第1の実施形態で示したような他の金属(合金)でもよい。

【0072】そして、図9に示すように、積層チップ1を例ればLOC構造のリードフレーム又はTABテープに搭載する。この場合、リードフレーム又はTABテープのインナーリード18と半導体チップ1の外部接続電極5とが、金合金からなる金属ポール3とにより接合されている。なお、金属ポール3の材料としては、金合金の他に銅(合金)や半田等を用いてもよく、更には金属ポールの代わりにスタッズパンプ又はメッキパンプを用いてもよい。

【0073】第2の実施形態の半導体装置によれば、既述した第1の実施形態の半導体装置の構成する作用・効果に加えて、半導体チップ1、2に設ける接続電極の材料に対する規制が緩和され、選択幅を拡大させることができとなる。また、2種の金属ポールを接合に用いることで、半導体チップ1、2間の離間距離(隙間)が配線長には影響しない限度内で若干大きくなり、例えば半導体チップ1、2に熱膨張が生じても短絡等の発生が回避される。従って、製品の信頼性の向上により一層寄与することになる。

【0074】-変形例-

ここで、第2の実施形態の半導体装置の変形例について説明する。この半導体装置は、第1の実施形態と同様に

複合チップ1上が構成されるが、リードフレーム又はTABテープへの搭載の仕方が異なる。なお、第2の実施形態の半導体装置に応する構成部材等については同符号を記して説明を省略する。

【0075】この変形例の半導体装置においては、製造した複合チップ1をリードフレームに搭載するのではなく、複合チップ1の形成時に同時にインナーリード18との接続が行われる。即ち、この半導体装置においては、図10に示すように、半導体チップ1の接続電極4上の金属ポール41と、半導体チップ2の接続電極6上の金属ポール42とが、インナーリード18を介して当該インナーリード18を保持するように溶融接合されている。なお、金属ポール41、42の材料としては、金合金や半田、又は第1の実施形態で述べた各種金属(合金)を用いることが可能である。

【0076】この変形例の半導体装置によれば、既述した第1及び第2の実施形態の半導体装置の構成する作用・効果に加えて、半導体チップ1に外部接続電極を設ける必要がないため、半導体チップ1の占有面積を縮小することができる。例えば半導体チップ2と同等のサイズとすることができます。従って、半導体装置の更なる小型化に貢献することが可能となる。

【0077】

【発明の効果】本発明によれば、複数の異なる機能を有するLSIを、プロセス開発や設計環境整備等の費用や時間を費やすことなく、しかも平面的に配置する場合よりも小型化及び配線長の短縮化が実現するよう1パッケージ化することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態による半導体装置的主要構成を示す模式図である。

【図2】本発明の第1の実施形態による半導体装置において、複合チップが基板に搭載された様子を示す概略断面図である。

【図3】本発明の第1の実施形態による半導体装置において、基板に搭載された複合チップがモールド樹脂によりパッケージングされた様子を示す概略断面図である。

【図4】本発明の第1の実施形態による変形例1の半導体装置の主要構成を示す概略断面図である。

【図5】本発明の第1の実施形態による変形例2の半導体装置の主要構成を示す概略断面図である。

【図6】本発明の第1の実施形態による変形例2の半導体装置の他の例の主要構成を示す概略断面図である。

【図7】本発明の第1の実施形態による変形例3の半導体装置の主要構成を示す概略断面図である。

【図8】本発明の第1の実施形態による半導体装置の主要構成を示す概略断面図である。

【図9】本発明の第2の実施形態による半導体装置において、複合チップが基板に搭載された様子を示す概略断面図である。

【図10】本発明の第2の実施形態による変形例の半導体装置の主要構成を示す概略断面図である。

【符号の説明】

- 1, 2, 31 半導体チップ
- 3 ロジック回路
- 4, 6 接続端子
- 5 外部接続端子
- 7, 16, 20, 32, 33, 41, 42 金属ボール
- 8 メモリ回路

* 11 稼層チップ

12, 17 基板

13, 22, 23 ボンディングパッド

14 金ワイヤ

15 絶縁樹脂

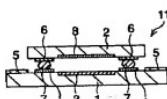
17 絶縁テープ

18 インナーリード

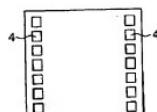
19 スタッドバンブ

* 21 集積回路

【図1】

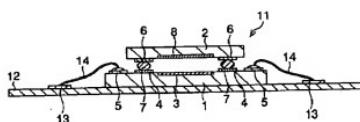


(a)

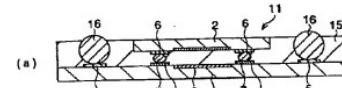


(b)

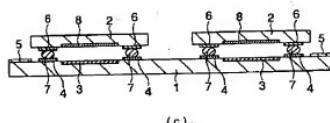
【図2】



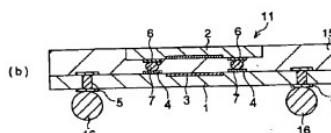
【図4】



(a)

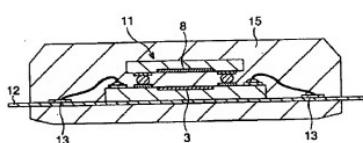


(c)

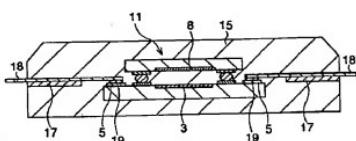


(b)

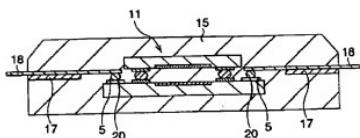
【図3】



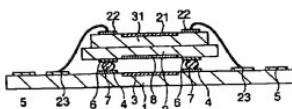
【図5】



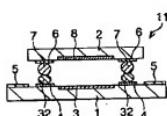
【図6】



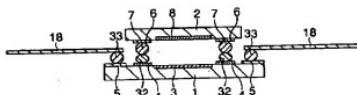
【図7】



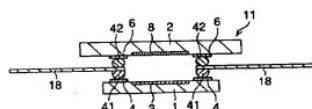
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.*
H 01 L 25/065
25/07
25/18

識別記号

F I
H 01 L 25/08

B

- (72)発明者 畠 宏平
川崎市中原区井田3-35-1 新日本製鐵
株式会社技術開発本部内
- (72)発明者 藤原 雄一郎
東京都千代田区大手町2-6-3 新日本
製鐵株式会社内
- (72)発明者 下川 健二
川崎市中原区井田3-35-1 新日本製鐵
株式会社技術開発本部内

- (72)発明者 川上 洋司
千葉県館山市山本1580番地 日鉄セミコン
ダクター株式会社内
- (72)発明者 パトラー ダグラス
アメリカ合衆国 コロラド州 80919 コ
ロラドスプリングス スーツ109 リスト
ドライブ 4815 ユナイテッド メモリー
ズ インコーポレイテッド内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-288977
 (43)Date of publication of application : 19.10.1999

(51)Int.Cl.

H01L 21/60
 H01L 21/60
 H01L 23/12
 H01L 23/52
 H01L 25/065
 H01L 25/07
 H01L 25/18

(21)Application number : 10-104132

(71)Applicant : NIPPON STEEL CORP
 NIPPON FOUNDRY INC
 UNITED MEMORIES INC

(22)Date of filing : 31.03.1998

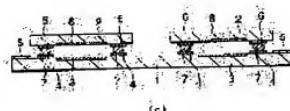
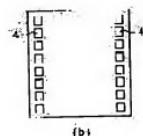
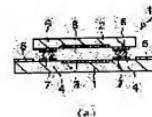
(72)Inventor : TATSUMI KOHEI
 FUJIWARA YUICHIRO
 SHIMOKAWA KENJI
 KAWAKAMI YOJI
 BATLER DAUGLAS

(54) SEMICONDUCTOR DEVICE WITH PLURAL CHIP MOUNTED MIXEDLY

(57)Abstract:

PROBLEM TO BE SOLVED: To constitute a plurality of LSIs having different functions into one packaging structure without spending the cost and the time for the development of process, maintenance of a design environment and the like and moreover, so as to realize miniaturization which is smaller than that of the LSIs, when the LSTs are arranged two-dimensionally and a reduction shorter than that in a wiring length in the case.

SOLUTION: A semiconductor chip 1 (logic LSI) mounted with integrated circuits having different functions and semiconductor chips 2 (memory LSIs of DRAMs or the like) are connected with each other through metal balls 7 via metal bumps in here, metal balls 7 consisting of a gold alloy, in such a way the connection electrodes 4 and connection electrodes 6, which consists of an aluminum alloy film, so as to face opposite to each other and a laminated chip 11 is constituted.



LEGAL STATUS

- [Date of request for examination] 30.03.2005
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]

Searching PAJ

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st semiconductor chip equipped with the 1st integrated circuit and the 1st connection electrode. Each is equipped with the same or 2nd at least one semiconductor chip equipped with the 2nd different integrated circuit and the 2nd different connection electrode. While stationing a metal bump to the 2nd connection inter-electrode of the 1st connection electrode and said 2nd semiconductor chip of said 1st semiconductor chip and connecting said the 1st semiconductor chip and said 2nd semiconductor chip to it. Either [at least] between said 1st connection electrode and said metal bumps or between said 2nd connection electrode and said metal bumps Two or more chip mixed-loading mold semiconductor device characterized by connecting through the layer formed with the ingredient which improves the compatibility of said 1st or 2nd connection electrode and said metal bump's charge of facing.

[Claim 2] Two or more chip mixed-loading mold semiconductor device according to claim 1 characterized by forming one [at least] front face of said 1st connection electrode and said 2nd connection electrode with said metal bump's charge of facing, and the ingredient with high compatibility.

[Claim 3] Said 1st semiconductor chip is two or more chip mixed-loading mold semiconductor device according to claim 1 or 2 characterized by having the external connection electrode for connecting with an external terminal.

[Claim 4] Two or more chip mixed-loading mold semiconductor device according to claim 3 characterized by fixing the rear face of said 1st semiconductor chip on one sort of fixed means chosen from the printed circuit board, the tape substrate, the ceramics substrate, and the leadframe, and said said the 1st external connection electrode and said fixed means of a semiconductor chip being connected by the bonding wire.

[Claim 5] Two or more chip mixed-loading mold semiconductor device according to claim 3 characterized by preparing other metal bumps on said external connection electrode of said 1st semiconductor chip.

[Claim 6] Two or more chip mixed-loading mold semiconductor device given in any 1 term of claims 1-5 characterized by the clearance between said 1st semiconductor chip and said 2nd semiconductor chip being embedded by one sort chosen from the tape on which insulating resin, an insulating tape, the resin with which the insulating particle was mixed, and an insulating particle were mixed.

[Claim 7] Two or more chip mixed-loading mold semiconductor device given in any 1 term of claims 1-6 characterized by covering some or all of said 1st semiconductor chip and said 2nd semiconductor chip by mold insulation resin.

[Claim 8] Two or more chip mixed-loading mold semiconductor device according to claim 5 or 6 characterized by some of metal bumps besides the above which some or all of said 1st semiconductor chip and said 2nd semiconductor chip is covered by mold insulation resin, and was established on said external connection electrode of said 1st semiconductor chip having exposed from the front face of said mold insulation resin.

[Claim 9] It is two or more chip mixed-loading mold semiconductor device given in any 1 term of claims 1-8 characterized by carrying out thermocompression bonding junction at least of one side of said 1st and 2nd connection electrodes with said external connection electrode by the melting point consisting of a metal or an alloy 300 degrees C or more, as for said metal bump, and/or a metal bump besides the above.

[Claim 10] Said metal bump, and/or a metal bump besides the above are two or more chip mixed-loading mold semiconductor device given in any 1 term of claims 1-8 characterized by being the stud bump who consists of one sort chosen from gold, a gold alloy, copper, a copper alloy, tin, and a tin alloy.

[Claim 11] Said metal bump, and/or a metal bump besides the above are two or more chip mixed-loading mold semiconductor device given in any 1 term of claims 1-10 characterized by being what formed by joining a metal ball with a diameter of 0.8mm or less to said the 1st and 2nd connection electrodes and/or said external connection electrodes.

[Claim 12] Said metal bump, and/or a metal bump besides the above are two or more chip mixed-loading mold

semiconductor device given in any 1 term of claims 1-10 characterized by being a metal ball with a diameter of 20 micrometers - 250 micrometers.

[Claim 13] Said the 1st and 2nd connection electrodes and/or said external connection electrodes are two or more chip mixed-loading mold semiconductor device given in any 1 term of claims 1-12 characterized by forming the metal membrane of at least one layer in the front face, and connecting with said metal bump through said metal membrane.

[Claim 14] Two or more chip mixed-loading mold semiconductor device given in any 1 term of claims 1-13 characterized by for said 1st semiconductor chip being a logic chip, and said 2nd semiconductor chip being a memory chip.

[Claim 15] Two or more chip mixed-loading mold semiconductor device given in any 1 term of claims 1-13 characterized by being the memory chip of the function in which said 1st and 2nd semiconductor chips differ respectively.

[Claim 16] A semiconductor device given in any 1 term of claims 1-15 characterized by for said 1st and 2nd semiconductor chips being supported by the inner lead, fixing them to the leadframe or the TAB tape, and for said inner lead being ****(ed) by said each metal bump who connects said 1st and 2nd semiconductor chips, and connecting.

[Claim 17] A semiconductor device given in claims 1-4 characterized by having further 3rd at least one semiconductor chip with which each was equipped with the 3rd integrated circuit and the 3rd connection electrode, and carrying out adhesion immobilization of said the 2nd semiconductor chip and said 3rd semiconductor chip with the rear face, and any 1 term of 9-16.

[Claim 18] The 1st semiconductor chip equipped with the 1st integrated circuit and the 1st connection electrode, Each is equipped with the same or 2nd at least one semiconductor chip equipped with the 2nd different integrated circuit and the 2nd different connection electrode. Said the 1st semiconductor chip and said 2nd semiconductor chip counter through at least one kind of metal bump with the ingredient of the 1st and 2nd connection electrodes concerned, and compatibility with each and said 2nd [1st / the] connection electrode. Two or more chip mixed-loading mold semiconductor device characterized by the metal bump concerned connecting.

[Claim 19] The 1st semiconductor chip equipped with the 1st integrated circuit and the 1st connection electrode, Each is equipped with the same or 2nd at least one semiconductor chip equipped with the 2nd different integrated circuit and the 2nd different connection electrode. Said the 1st semiconductor chip and said 2nd semiconductor chip counter through the ingredient of the 1st and 2nd connection electrodes concerned, and at least one kind of affinitive metal conductor with each and said 2nd [1st / the] connection electrode. Two or more chip mixed-loading mold semiconductor device characterized by the metal conductor concerned connecting.

[Translation done.]

* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to two or more chip mixed-loading mold semiconductor device which two or more semiconductor chips are loaded together and comes to carry out packaging.

[0002]

[Description of the Prior Art] In recent years, quantity of LSI which the application range of a large-scale integrated circuit (LSI) expansion-izes quickly, and is carried in each application product is also expansion-ized quickly. Usually, it is carried in the substrate (or board) built into the interior of each application product, and two or more LSI is used on the same substrate, and LSI is electrically connected by wiring on the substrate concerned.

[0003] However, even if it promotes the miniaturization of the LSI itself as the quantity of LSI which high integration of LSI progresses and is carried on a substrate increases, after all, area as the whole substrate will be increase-ized, and a wire length will also be increase-ized.

[0004] Then, the so-called en BEDDEDO-ized technique is one of those which attract attention as a technique which reduces the gross area of the substrate in which much LSI was carried, and shortens the wire length between two or more LSI. This en BEDDEDO-ized technique is a technique which makes two or more LSI which has a different function in the same chip. For example, dynamic random access memory (DRAM) and LSI other than DRAMs, such as Logic LSI, are made from the same process on the same substrate, what was formed into 1 chip is called en BEDDEDO DRAM, and a microcomputer, DRAM, a read only memory (ROM), etc. are incorporated, and LSI made so that it might function as a system with one chip is called a system LSI.

[0005] However, in order to realize an en BEDDEDO-ized technique, it is necessary to manufacture the different-species functional division manufactured in a usually different wafer process in the same process, and the process for it is doubled, and it is crowded, or the process development only for the new formation of en BEDDEDO is needed. In developing a process newly, environmental maintenance of design relation, such as construction of the library on the basis of the new process concerned, is also needed further. Therefore, when starting an en BEDDEDO-ized technique newly, the costs and time amount for new process development or design environmental maintenance are needed, and problems, such as a manufacture increase in cost and delay of a commercial-scene injection, arise.

[0006] As a technique which reduces the gross area of the substrate in which Plurality LSI was carried, and shortens the wire length between Plurality LSI, before thinking out an en BEDDEDO-ized technique, the multi-chip module (MCM) technique has been widely put in practical use from. Two or more bare chips are carried on one substrate, and this MCM technique is formed into 1 package for every substrate of that.

[0007] since LSI used can be separately manufactured in an MCM technique, respectively -- an en BEDDEDO-ized technique -- differing -- a process -- doubling -- crowded -- ** -- it is not necessary to perform new process development, therefore the problem of the increment in cost or the delay of a commercial-scene injection accompanying it is not produced.

[0008] However, with this MCM technique, since two or more bare chips are arranged superficially, it becomes the increment factor of a gross area. In this case, while it is advantageous rather than it carries out packaging for every chip, the miniaturization effectiveness will decrease as compared with an en BEDDEDO-ized technique.

[0009] In addition, an example of invention aiming at reducing an inductance is indicated by JP.6-120415.A about two or more semiconductor chips carried in the leadframe.

[0010]

[Problem(s) to be Solved by the Invention] As mentioned above, there are merits and demerits in an en BEDDEDO-ized technique and an MCM technique, respectively, and while realizing contraction-izing of the gross

area of the semiconductor device LSI which has only both advantage, i.e., plurality, and shortening of the wire length of Plurality LSI, a process doubles, and it is crowded and is in the present condition of waiting for development of the semiconductor device which does not make problems accompanying process development, such as an increment in cost, and delay of a commercial-scene injection, produce.

[0011] Then, it aims at offering two or more chip mixed-loading mold semiconductor device which makes it possible to form 1 package so that miniaturization and shortening of a wire length may be realized rather than the case where it moreover arranges superficially, without spending costs and time amount, such as process development and design environmental maintenance, for LSI which has the function in which accomplish this invention in order to solve such a problem, and plurality differs.

[0012]

[Means for Solving the Problem] The 1st semiconductor chip with which two or more chip mixed-loading mold semiconductor device of this invention was equipped with the 1st integrated circuit and the 1st connection electrode, It has 2nd at least one semiconductor chip with which each was equipped with the 2nd integrated circuit and the 2nd connection electrode. While stationing a metal bump to the 2nd connection inter-electrode of the 1st connection electrode and said 2nd semiconductor chip of said 1st semiconductor chip and connecting said the 1st semiconductor chip and said 2nd semiconductor chip to it Either [at least] between said 1st connection electrode and said metal bumps or between said 2nd connection electrode and said metal bump are connected through the layer formed with the ingredient which improves the compatibility of said 1st or 2nd connection electrode and said metal bump's charge of facing.

[0013] In the example of 1 mode of this invention, one [at least] front face of said 1st connection electrode and said 2nd connection electrode is formed with said metal bump's charge of facing, and the ingredient with high compatibility.

[0014] In the example of 1 mode of this invention, said 1st semiconductor chip has the external connection electrode for connecting with an external terminal.

[0015] In the example of 1 mode of this invention, the rear face of said 1st semiconductor chip is fixed on one sort of fixed means chosen from the printed circuit board, the tape substrate, the ceramics substrate, and the leadframe, and said said the 1st external connection electrode and said fixed means of a semiconductor chip are connected by the bonding wire.

[0016] In the example of 1 mode of this invention, other metal bumps are prepared on said external connection electrode of said 1st semiconductor chip.

[0017] In the example of 1 mode of this invention, the clearance between said 1st semiconductor chip and said 2nd semiconductor chip is embedded by one sort chosen from the tape on which insulating resin, an insulating tape, the resin with which the insulating particle was mixed, and an insulating particle were mixed.

[0018] In the example of 1 mode of this invention, some or all of said 1st semiconductor chip and said 2nd semiconductor chip is covered by mold insulation resin.

[0019] In the example of 1 mode of this invention, some or all of said 1st semiconductor chip and said 2nd semiconductor chip is covered by mold insulation resin, and some of metal bumps besides the above established on said external connection electrode of said 1st semiconductor chip have exposed from the front face of said mold insulation resin.

[0020] In the example of 1 mode of this invention, as for said metal bump, and/or a metal bump besides the above, the melting point consists of a metal or an alloy 300 degrees C or more, and thermocompression bonding junction at least of one side of said 1st and 2nd connection electrodes is carried out with said external connection electrode.

[0021] In the example of 1 mode of this invention, said metal bump, and/or a metal bump besides the above are stud bumps who consist of one sort chosen from gold, a gold alloy, copper, a copper alloy, tin, and a tin alloy.

[0022] In the example of 1 mode of this invention, said metal bump, and/or a metal bump besides the above are formed by joining a metal ball with a diameter of 0.8mm or less to said the 1st and 2nd connection electrodes and/or said external connection electrodes.

[0023] In the example of 1 mode of this invention, said metal bump, and/or a metal bump besides the above are metal balls with a diameter of 20 micrometers - 250 micrometers.

[0024] In the example of 1 mode of this invention, the metal membrane of at least one layer is formed in the front face, and said the 1st and 2nd connection electrodes and/or said external connection electrodes are connected with said metal bump through said metal membrane.

[0025] In the example of 1 mode of this invention, said 1st semiconductor chip is a logic chip, and said 2nd semiconductor chip is a memory chip.

[0026] In the example of 1 mode of this invention, it is the memory chip of the configuration and the function in which said 1st and 2nd semiconductor chips differ respectively.

[0027] In the example of 1 mode of this invention, said 1st and 2nd semiconductor chips are supported by the inner lead, and are being fixed to the leadframe or the TAB tape, and said inner lead is ****(ed) by said each metal bump who connects said 1st and 2nd semiconductor chips, and it connects.

[0028] The example of 1 mode of this invention is further equipped with 3rd at least one semiconductor chip with which each was equipped with the 3rd integrated circuit and the 3rd connection electrode, and adhesion immobilization of said the 2nd semiconductor chip and said 3rd semiconductor chip is carried out with the rear face.

[0029] The 1st semiconductor chip with which two or more chip mixed-loading mold semiconductor device of this invention was equipped with the 1st integrated circuit and the 1st connection electrode. It has 2nd at least one semiconductor chip with which each was equipped with the 2nd integrated circuit and the 2nd connection electrode. Said the 1st semiconductor chip and said 2nd semiconductor chip counter through at least one kind of metal bump with the ingredient of the 1st and 2nd connection electrodes concerned, and compatibility with each and said 2nd [1st / the] connection electrode, and are being connected by the metal bump concerned.

[0030] The 1st semiconductor chip with which two or more chip mixed-loading mold semiconductor device of this invention was equipped with the 1st integrated circuit and the 1st connection electrode. It has 2nd at least one semiconductor chip with which each was equipped with the 2nd integrated circuit and the 2nd connection electrode. Said the 1st semiconductor chip and said 2nd semiconductor chip counter through the ingredient of the 1st and 2nd connection electrodes concerned, and at least one kind of affinitive metal conductor with each and said 2nd [1st / the] connection electrode, and are connected by the metal conductor concerned.

[0031] [Function] Two or more chip mixed-loading mold semiconductor device of this invention is equipped with the 1st and 2nd at least one semiconductor chip with which it comes to form a respectively independent integrated circuit (here, if the integrated circuit of each 2nd semiconductor chip may be the same, they may differ), and on the 1st semiconductor chip, the laminating of 2nd at least one semiconductor chip is carried out, and it is constituted, therefore, compared with the case where two or more chips are superficially arranged for example, on a substrate, the plane area to occupy is markedly alike and is reduced. Here, the 1st and 2nd semiconductor chips are positioned so that the connection electrodes prepared in the predetermined location of each front face may be made to counter, and they are connected by the metal bump. At this time, either [at least] between the 1st connection electrode and a metal bump or between the 2nd connection electrode and a metal bump are connected through the layer formed with the ingredient which improves the compatibility of a connection electrode and a metal bump's charge of facing.

[0032] This layer is realizable by the technique of forming a coat in the front face of for example, a connection electrode, when vacuum evaporationo etc. considers a metal with high compatibility as a metal bump's charge of facing. Moreover, the same effectiveness can be acquired also choosing a metal with high charge of facing of a connection electrode and compatibility as a metal bump, and by forming a coat in a metal bump's front face, when vacuum evaporationo etc. considers a metal with high compatibility as the charge of facing of a connection electrode.

[0033] Thus, since ingredient selection of a connection electrode and a metal bump is performed, when connecting the 1st and 2nd semiconductor chips by the metal bump, connection is ensured [simply and], and while 1 chip-ization of each semiconductor chip with a various function is attained, the further miniaturization is realized easily.

[0034] [Embodiment of the Invention] Hereafter, some suitable operation gestalten which applied this invention are explained to a detail using a drawing.

[0035] (1st operation gestalt) The 1st operation gestalt is explained first. Drawing 1 is the sectional view showing a part for the principal part of the semiconductor device of the 1st operation gestalt. As shown in drawing 1 (a), a semiconductor chip 1 and a semiconductor chip 2 make a front face counter mutually, and it comes to consider this semiconductor device as the laminating chip 11.

[0036] Size is 9mmx9mm, and a semiconductor chip 1 is the logic LSI which comes to form a logical circuit 3 in the front face, and is equipped with the connection electrode 4 for connecting with a semiconductor chip 2. The connection electrode 4 concerned is respectively arranged in parallel with predetermined spacing along with two sides which a semiconductor chip 1 counters. Furthermore, the external connection electrode 5 for connecting with a way with the exterior outside the connection electrode 4 is formed in the front face of a semiconductor chip 1. Both these connection electrode 4 and the external connection electrode 5 are formed considering the aluminum alloy as an ingredient.

[0037] Size is 9mmx9mm, and a semiconductor chip 2 is the memory LSI and DRAM which comes to form a memory circuit 8 in the front face, and equips the location corresponding to the connection electrode 4 of a

semiconductor chip 1 with the connection electrode 6 for connecting with a semiconductor chip 1. The connection electrode 6 as well as the connection electrode 4 is formed considering the aluminium alloy as an ingredient. Signs that two or more connection electrodes 6 are formed are shown in drawing 1 (b). In addition, the insulating passivation film (un-illustrating) is formed in the part except the electrodes 4, 5, and 6 of the front face of semiconductor chips 1 and 2.

[0038] And a semiconductor chip 1 and a semiconductor chip 2 are connected by the metal ball 7 concerned through the metal ball 7 a metal bump and here so that the connection electrode 4 and the connection electrode 6 may counter, and the laminating chip 11 is constituted. As for this metal ball 7, an ingredient consists of a gold alloy of 95% of purity for the diameter of about 80 micrometers. It is known that gold (alloy) is excellent in compatibility with aluminum (alloy), and good junction is acquired.

[0039] Here, junction on the connection electrodes 4 and 6 and the metal ball 7 is performed by thermocompression bonding. In this case, after joining the metal ball 7 to the connection electrode 4 of a semiconductor chip 1 first, alignment of semiconductor chips 1 and 2 is carried out, and the metal ball 7 is joined to the connection electrode 6. At the time of junction to a semiconductor chip 1, package junction is carried out, after carrying out vacuum reduced pressure of the background of the adsorption array plate which made the hole in the part corresponding to the location of the connection electrode 4 beforehand, carrying out adsorption maintenance of the metal ball 7 in the hole and making alignment a semiconductor chip 1. At this time, virtual junction temperature is made into 300 degrees C, and the pressure when joining the metal ball 7 to the connection electrode 4 of a semiconductor chip 1 is set to 10g per piece of the metal ball 7, and in case it joins to the connection electrode 6 of a semiconductor chip 2, it may be 40g per piece. Although the metal ball 7 is first joined to the connection electrode 4, you may make it join to the connection electrode 6 of a semiconductor chip 2 first conversely here.

[0040] When semiconductor chips 1 and 2 are joined, an about 40-micrometer clearance is generated among both. You may make it embed this clearance by one sort chosen from the tape on which insulating resin, an insulating tape, the resin with which the insulating particle was mixed, and an insulating particle were mixed.

[0041] Here, the predetermined probe was connected to the external connection electrode 5 of a semiconductor chip 1 about the manufactured laminating chip 11, when the superior nature of the connection in every set which the connection electrode 6 adjoins was inspected electrically, it did not gaze at the faulty connection about which electrode, but it turned out that it is in a very good connection condition.

[0042] In addition, although the gold alloy excellent in it and compatibility was used for the ingredient of a metal ball, using an aluminium alloy as an ingredient of a connection electrode, it is not limited to this combination. For example, when the ingredient of a connection electrode is aluminum (alloy), copper (alloy), the palladium (alloy), platinum (alloy), and aluminum (alloy) other than gold (alloy) are suitable for the ingredient of a metal ball. Moreover, it is good also considering the ingredient of a connection electrode as copper (alloy), and gold (alloy). Moreover, it is good also considering the ingredient of a connection electrode as copper (alloy), and gold (alloy), aluminum (alloy), palladium (alloy), platinum (alloy), and solder (a tin alloy, a lead alloy, indium alloy, etc.) are suitable for the ingredient of a metal ball in this case. Furthermore, it is good also considering the ingredient of a connection electrode as gold (alloy), and gold (alloy), copper (alloy), aluminum (alloy), platinum (alloy), and solder (a tin alloy, a lead alloy, indium alloy, etc.) are suitable for the ingredient of a metal ball in this case. Furthermore, it is good also considering the ingredient of a connection electrode as palladium (alloy), and gold (alloy), copper (alloy), aluminum (alloy), palladium (alloy), platinum (alloy), and solder (a tin alloy, a lead alloy, indium alloy, etc.) are suitable for the ingredient of a metal ball in this case. Furthermore, it is good also considering the ingredient of a connection electrode as nickel (alloy), and gold (alloy), copper (alloy), aluminum (alloy), palladium (alloy), platinum (alloy), and solder (a tin alloy, a lead alloy, indium alloy, etc.) are suitable for the ingredient of a metal ball in this case. Furthermore, it is good also considering the ingredient of a connection electrode as solder (a tin alloy, a lead alloy, indium alloy, etc.), and gold (alloy), copper (alloy), aluminum (alloy), palladium (alloy), platinum (alloy), solder (a tin alloy, a lead alloy, indium alloy, etc.), and nickel (alloy) are suitable for the ingredient of a metal ball in this case.

[0043] Connection inter-electrode reliable junction is attained by choosing the above combination. A respectively different thing may be chosen about the ingredient of a connection electrode. Moreover, since aluminum (alloy) and solder are inferior to wettability, they make solder and a wettability good palladium alloy put on the front face of a connection electrode with physical vapor deposition etc., and should just form the substrate film for the improvement in wettability, for example.

[0044] Furthermore, when junction on a connection electrode and a metal ball is difficult or its junction nature wants to improve further, it is also possible to connect both through the anisotropy electric conduction film, conductive paste, etc.

[0045] Furthermore, it is also possible to raise junction nature with a connection electrode further by making the optimal metal put only on the front face of a metal ball in combination with a connection electrode.

[0046] Moreover, as a combination of the integrated circuit carried in semiconductor chips 1 and 2, it is good also as memory LSI which is different from each other, for example, without being limited in the above-mentioned case. There are others, SRAM, a flash memory, etc. as memory LSI. [DRAM] When SRAM and DRAM are combined, it is possible to use together with LSI for data processing which needs memory. In this case, SRAM is used about the data processed at high speed, operating frequency being high and changing the contents of storage frequently, and it becomes possible to memorize to DRAM about the data which need mass storage maintenance than rapidity.

[0047] Moreover, when SRAM and a flash memory are combined, it is possible to use a signal together with LSI for signal processing which carries out high-speed processing according to a certain program. In this case, if the program is stored in the flash memory, even if it turns off the power, since a program is not eliminated, the same program manipulation of it will become possible. And what is necessary is just to use SRAM for temporary storage of the signal under processing in the meantime.

[0048] Furthermore, since this will become unnecessary [the thermocompression bonding] if the metal ball which is for using the metal ball 7 which consists of a gold alloy, for example, consists of solder is used although drawing 1 showed the example in which the logical circuit 3 and the memory circuit 8 were formed to the part except directly under [of the connection electrodes 4 and 5] here [the integrated circuit and here] where it prepares in semiconductor chips 1 and 2, it becomes possible to form an integrated circuit also directly under the connection electrodes 4 and 5.

[0049] Moreover, the semiconductor chip 2 carried in a semiconductor chip 1 with this operation gestalt is not limited to one, and as shown in drawing 1 (c), it may put side by side two semiconductor chips 2 (the integrated circuit which is different from each other could be formed.) on the semiconductor chip 1 with big size.

[0050] And as shown in drawing 2, the laminating chip 11 is carried in a substrate 12. The bonding pad 13 is formed in the front face of a substrate 12. As this substrate 12, a ceramics substrate, an insulating-tape substrate, a leadframe, etc. can be considered. In this case, the rear face of a semiconductor chip 1 is fixed to the front face of a substrate 12 with adhesives etc., and the external connection electrode 5 and bonding pad 13 of a semiconductor chip 1 are connected by the wirebonding method using the golden wire 14. And as shown in drawing 3, it becomes the semiconductor device of this operation gestalt by carrying out the mold of the whole surface which left the whole surface of the compound chip 11, and some substrates 12 with the insulating resin 15 of an epoxy system. Here, the filler which is the SiO₂ particle in the insulating resin 15 for mold uses the thing 20 micrometers or less which has a small path, and is a clearance between semiconductor chips 1 (set to about 40 micrometers like the above.). In addition, it is not necessary to embed an insulating tape etc. in this case in the clearance concerned. Fully filling up was checked.

[0051] As explained above, the semiconductor device of the 1st operation gestalt is equipped with the semiconductor chips 1 and 2 which a respectively independent integrated circuit is formed and become, and on the semiconductor chip 1, the laminating of the semiconductor chip 2 is carried out, and it is constituted. therefore, compared with the case where two or more chips are superficially arranged for example, on a substrate, the plane area to occupy is markedly alike and is reduced. Here, through the metal bump 7 with the connection electrode material concerned and compatibility, for example, a metal ball, thereby, both are connected so that semiconductor chips 1 and 2 may make the connection electrode 4 and six comrades which were prepared in the predetermined location of each front face counter. Therefore, the further miniaturization realizes them easily while it is so short that it can ignore 1 chip-ization of each semiconductor chip with a various function of most wire lengths between each semiconductor chip 1 and 2 is attained.

[0052] Therefore, according to the semiconductor device of the 1st operation gestalt, it becomes possible to form costs and time amount, such as process development and design environmental maintenance, into 1 package so that miniaturization and shortening of a wire length may be realized rather than the case where it moreover arranges superficially, without spending about LSI which has the function in which plurality differs.

[0053] Hereafter, some modifications of the semiconductor device of the 1st operation gestalt are explained. In addition, a same sign is described about the configuration member corresponding to the semiconductor device of the 1st operation gestalt, and explanation is omitted.

[0054] - Modification 1 - The semiconductor device of a modification 1 is explained first. Although the compound chip 11 is constituted by this semiconductor device like the 1st operation gestalt, the resin seal methods of the compound chip 11 etc. differ. In this semiconductor device, as shown in drawing 4 (a), the dimensions of the semiconductor chips 1 and 2 of the compound chip 11 differ it of the 1st operation gestalt, and a little, and it considers as the size whose semiconductor chip 1 is 12mmx12mm and whose semiconductor chip 2 is 5mmx5mm.

[0055] Although the connection electrode 4 and the external connection electrode 5 which were formed in the semiconductor chip 1 consist of an aluminium alloy like it of the 1st operation gestalt, respectively, as for each

connection electrodes 4 and 5, the substrate film for the improvement in wettability (un-illustrating) is formed in order of chromium (Cr), and Cu (copper) and Au (gold) in order toward the outside from the chip front face. And while the metal ball 7 which consists of Au side and the gold alloy of the connection electrode 4 is joined, the metal ball 7 concerned is joined to the connection electrode 6 which consists of an aluminium alloy of a semiconductor chip 2 on the other hand.

[0056] Furthermore, the metal ball 16 which consists of solder of a bigger diameter than the metal ball 7 is joined to the external connection electrode 5. Here, the metal ball 7 is 60 micrometers in diameter, and let the metal ball 16 be the diameter of 500 micrometers. After joining to the connection electrodes 4 and 6 by thermocompression bonding as mentioned above about the metal ball 7 and fixing on the external connection electrode 5 first about the metal ball 16 using the adhesion of flux, a semiconductor chip 1 is heated at 183 degrees C or more which is the melting point of solder, and the metal ball 16 is joined to the external connection electrode 5 by the reflow.

[0057] And like drawing 4 (a), while being filled up with between a semiconductor chip 1 and 2, it covers by the insulating resin 15 of an epoxy system so that at least the point of the metal ball 16 may be exposed. Here, the metal ball 16 exposed from the front face of insulating resin 15 will function as a bump for external connection. Moreover, heat dissipation nature can be raised by exposing the rear face of a semiconductor chip 2.

[0058] In addition, in this modification 1, also when using the substrate with which an integrated circuit is not formed instead of the semiconductor chip 1, it can apply. Moreover, the ingredient of everything that was stated with the 1st operation gestalt may be used also about the ingredient of each metal ball.

[0059] since according to the semiconductor device of this modification 1 in addition to operation and effectiveness that the semiconductor device of the 1st operation gestalt mentioned already do so the compound chip 11 by which the closure be carried out by insulating resin 15 can be connect with the exposed metal ball 16 when connecting with an external substrate , it become possible to contribute to shortening of the further wire length , as a result the miniaturization of the whole equipment sharply .

[0060] Moreover, the external connection electrode 5 is formed in the rear face of the semiconductor chip 1 concerned through the veer hole formed in the semiconductor chip 1, and you may make it join the metal ball 16 to this external connection electrode 5, as shown in drawing 4 (b).

[0061] - Explain modification 2-, next the semiconductor device of a modification 2. Although the compound chip 11 is constituted by this semiconductor device like the 1st operation gestalt, the substrates carrying the compound chip 11 differ. As this semiconductor device is shown in drawing 5 , it is formed on a lead-on-chip (LOC) method or a TAB tape, and the inner lead 18 of the external connection electrode 5 of a semiconductor chip 1, a leadframe, or a TAB tape is joined by the stud bump 19 made from solder. Here, an inner lead 18 is fixed with the insulating tape 17 which consists of polyimide etc., and location regulation is made.

[0062] In addition, it is suitable even if it is made to join instead of the stud bump 19 by using the metal ball 20, as shown in drawing 6 .

[0063] According to the semiconductor device of this modification 2, in addition to operation and effectiveness that the semiconductor device of the 1st operation gestalt mentioned already does so, it becomes possible by considering as LOC structure to contain the semiconductor chip enlarged in the comparatively small package, and to aim at mounting of high density.

[0064] - Explain modification 3-, next the semiconductor device of a modification 3. These semiconductor devices differ in that a further different semiconductor chip is carried, although the compound chip 11 is constituted like the 1st operation gestalt. As this semiconductor device is shown in drawing 7 , in the compound chip 11 which semiconductor chips 1 and 2 are joined and becomes, the semiconductor chip 31 is formed so that it may be mutually fixed with the rear face on a semiconductor chip 2.

[0065] A semiconductor chip 31 is LSI which comes to form in the front face the integrated circuit 21 which is a logical circuit or a memory circuit like semiconductor chips 1 and 2, and the bonding pad 22 made from the aluminium alloy for connecting with the exterior is formed. Moreover, the bonding pad 23 for connecting with the external connection electrode 22 of a semiconductor chip 31 is formed in the front face of a semiconductor chip 1.

[0066] And adhesion immobilization of a semiconductor chip 31 and the semiconductor chip 2 is carried out with a die paste predetermined with the rear face, and the bonding pad 22 of a semiconductor chip 31 and the bonding pad 23 of a semiconductor chip 1 are connected by the wirebonding method using the golden wire 14.

[0067] In addition, also when using the substrate with which an integrated circuit is not formed instead of the semiconductor chip 1, it can apply. Moreover, the ingredient of everything that was stated with the 1st operation gestalt may be used also about the ingredient of a metal ball.

[0068] According to the semiconductor device of this modification 3, even if it carries out the laminating of the semiconductor chip 31 further on the compound chip 11 in addition to operation and effectiveness that the

semiconductor device of the 1st operation gestalt mentioned already does so, it becomes possible to attain high integration, without spoiling a miniaturization.

[0069] (2nd operation gestalt) Next, the 2nd operation gestalt of this invention is explained. Although the semiconductor device of this 2nd operation gestalt has the almost same compound chip 11 as it of the 1st operation gestalt, junction of semiconductor chips 1 and 2 differs a little. In addition, a same sign is described about the same configuration member as the 1st operation gestalt, and explanation is omitted. Drawing 8 is the sectional view showing a part for the principal part of the semiconductor device of the 2nd operation gestalt. In addition, the size of a semiconductor chip 1 is the same as that of the 1st operation gestalt, it is 10mmx10mm, and the size of a semiconductor chip 2 is 7mmx7mm.

[0070] On the connection electrode 6 which consists of an aluminium alloy of a semiconductor chip 2, the metal ball 7 which consists of a gold alloy with a diameter of about 60 micrometers is joined. Surface preparation is performed to the front face of the connection electrode 4 which consists of an aluminium alloy of a semiconductor chip 1 in order of a titanium (Ti) alloy and palladium (Pd), and fused junction of the metal ball 32 which consists of solder with a diameter of about 60 micrometers on the palladium of the outermost layer is carried out to it. And alignment of the metal ball 7 and the metal ball 32 is carried out, and the metal balls 7 and 32 are joined, heating at the temperature of 250 degrees C or more.

[0071] In addition, as long as it is the combination which is not limited to a gold alloy and solder and was excellent in compatibility about the ingredient of two sorts of metal balls to join, other metals (alloy) which were illustrated, for example with the 1st operation gestalt are sufficient.

[0072] And as shown in drawing 9, the laminating chip 11 is carried in the leadframe or TAB tape of for example, LOC structure. In this case, the inner lead 18 of a leadframe or a TAB tape and the external connection electrode 5 of a semiconductor chip 1 are joined with the metal ball 33 which consists of a gold alloy. In addition, as an ingredient of the metal ball 33, copper (alloy), solder, etc. may be used other than a gold alloy, and a stud bump or a plating bump may be further used instead of a metal ball.

[0073] According to the semiconductor device of the 2nd operation gestalt, in addition to operation and effectiveness that the semiconductor device of the 1st operation gestalt mentioned already does so, the regulation on the ingredient of the connection electrode prepared in semiconductor chips 1 and 2 is eased, and it becomes possible to make selection width of face expand. Moreover, even if the clearance between a semiconductor chip 1 and 2 (clearance) becomes large a little within the limit where a wire length is not influenced, for example, thermal expansion arises in semiconductor chips 1 and 2 by using two sorts of metal balls for junction, generating of a short circuit etc. is avoided. Therefore, it will contribute further by improvement in the dependability of a product.

[0074] - Modification - Here, the modification of the semiconductor device of the 2nd operation gestalt is explained. Although the compound chip 11 is constituted by this semiconductor device like the 1st operation gestalt, the methods of loading to a leadframe or a TAB tape differ. In addition, a same sign is described about the configuration member corresponding to the semiconductor device of the 2nd operation gestalt, and explanation is omitted.

[0075] In the semiconductor device of this modification, the manufactured compound chip 11 is not carried in a leadframe, but connection with an inner lead 18 is made to coincidence at the time of formation of the compound chip 11. That is, in this semiconductor device, as shown in drawing 10, fused junction of the metal ball 41 on the connection electrode 4 of a semiconductor chip 1 and the metal ball 42 on the connection electrode 6 of a semiconductor chip 2 is carried out so that the inner lead 18 concerned may be ****(ed) through an inner lead 18. In addition, it is possible to use a gold alloy, solder, or the various metals (alloy) that were stated with the 1st operation gestalt as an ingredient of the metal balls 41 and 42.

[0076] Since it is not necessary to prepare an external connection electrode in a semiconductor chip 1 according to the semiconductor device of this modification in addition to operation and effectiveness that the semiconductor device of the 1st [which was mentioned already] and 2nd operation gestalten does so, it can consider as size equivalent to a semiconductor chip 2 possible [reducing the occupancy area of a semiconductor chip 1]. Therefore, it becomes possible to contribute to the further miniaturization of a semiconductor device.

[0077]

[Effect of the Invention] According to this invention, it becomes possible to form costs and time amount, such as process development and design environmental maintenance, into 1 package so that miniaturization and shortening of a wire length may be realized rather than the case where it moreover arranges superficially, without spending about LSI which has the function in which plurality differs.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS**[Brief Description of the Drawings]**

[Drawing 1] It is the mimetic diagram showing the main configurations of the semiconductor device by the 1st operation gestalt of this invention.

[Drawing 2] In the semiconductor device by the 1st operation gestalt of this invention, it is the outline sectional view showing signs that the compound chip was carried in the substrate.

[Drawing 3] In the semiconductor device by the 1st operation gestalt of this invention, it is the outline sectional view showing signs that packaging of the compound chip carried in the substrate was carried out with mold resin.

[Drawing 4] It is the outline sectional view showing the main configurations of the semiconductor device of the modification 1 by the 1st operation gestalt of this invention.

[Drawing 5] It is the outline sectional view showing the main configurations of the semiconductor device of the modification 2 by the 1st operation gestalt of this invention.

[Drawing 6] It is the outline sectional view showing the main configurations of other examples of the semiconductor device of the modification 2 by the 1st operation gestalt of this invention.

[Drawing 7] It is the outline sectional view showing the main configurations of the semiconductor device of the modification 3 by the 1st operation gestalt of this invention.

[Drawing 8] It is the outline sectional view showing the main configurations of the semiconductor device by the 1st operation gestalt of this invention.

[Drawing 9] In the semiconductor device by the 2nd operation gestalt of this invention, it is the outline sectional view showing signs that the compound chip was carried in the substrate.

[Drawing 10] It is the outline sectional view showing the main configurations of the semiconductor device of the modification by the 2nd operation gestalt of this invention.

[Description of Notations]

1, 2, 31 Semiconductor chip

3 Logical Circuit

4 Six Connection terminal

5 External Connection Terminal

7, 16, 20, 32, 33, 41, 42 Metal ball

8 Memory Circuit

11 Laminating Chip

12 17 Substrate

13, 22, 23 Bonding pad

14 Golden Wire

15 Insulating Resin

17 Insulating Tape

18 Inner Lead

19 Stud Bump

21 Integrated Circuit

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.